

EVOLUÇÃO DOS PROCESSADORES DE COMPUTADORES PESSOAIS: UMA ANÁLISE QUANTITATIVA DE 1998 A 2019

Autores: João Victor Silva Rocha Pinho, Luiz Fernando Issao Macedo Yano, Muriel Masseo Morilo, Vinicius Rodrigues da Silva e Prof. Priscila Freitas Lemes Lourenço

Universidade do Vale do Paraíba/Instituto de Pesquisa e Desenvolvimento, Avenida Shishima Hifumi, 2911, Urbanova - 12244-000 - São José dos Campos-SP, Brasil,
luizfernandoyano@gmail.com, murielmasseomorilo@gmail.com, vrsilva.achv@gmail.com, jrpinho1@gmail.com.

Resumo

Este artigo apresenta um estudo de iniciação científica realizado nos anos iniciais do curso de Engenharia, com o objetivo de introduzir os alunos à análise de hardware de computadores pessoais e ao uso da metodologia científica em investigações práticas. A pesquisa realiza uma análise quantitativa comparativa de três configurações de hardware, representativas dos anos de 1998, 2005 e 2019. Dois desses equipamentos foram abertos e examinados fisicamente no Laboratório MakerLab da FEAU/UNIVAP, proporcionando aos alunos contato direto com a desmontagem e a verificação de componentes internos. O estudo concentra-se em elementos fundamentais, como CPU e memória RAM, considerando especificações técnicas e calculando fatores de variação em métricas como frequência de clock, número de núcleos e largura de banda da memória. Os resultados indicam um aumento aproximado de seis vezes na frequência e no número de núcleos, além de um crescimento de 32 vezes na largura de banda da memória. A discussão relaciona esses dados com princípios teóricos da arquitetura de computadores, destacando a transição gradual de um paradigma centrado no paralelismo em nível de instrução (ILP) para outro voltado ao paralelismo em nível de thread (TLP). Conclui-se que, além da análise técnica, o estudo cumpriu um papel formativo relevante, proporcionando aos alunos a vivência de atividades de pesquisa e o desenvolvimento de competências científicas fundamentais.

Palavras-chave: Arquitetura de Computadores. Evolução de Hardware. Processadores Multi-core. Paralelismo em Nível de Thread.

Área do Conhecimento: Engenharia da Computação. (Consulte área e subárea em que o trabalho será enviado no endereço <http://www.inicepg.univap.br/areas-de-conhecimento>).

Introdução

Ao longo das últimas décadas, a CPU consolidou-se como o núcleo do desempenho computacional. Em 1998, o Intel Pentium III (single-core, 32 bits) atendia a tarefas básicas; em 2005, o AMD 64 X2 trouxe o dual-core e 64 bits, ampliando o *multitasking* e as aplicações multimídia; e, em 2019, o Intel Core i5-9400F com seis núcleos permitia desde jogos avançados até inteligência artificial e computação em nuvem (INTEL CORPORATION, 1999; AMD, 2005; INTEL CORPORATION, 2019). Essa trajetória revela a transformação da CPU de um processador elementar para o pilar da infraestrutura digital moderna.

A Lei de Moore, proposta em 1965 por Gordon Moore, observou que o número de transistores em um chip dobrava a cada dois anos, enquanto o custo caía. Embora não seja uma lei da física, tornou-se um roteiro estratégico para a indústria de semicondutores, guiando inovações e impulsionando a miniaturização e o aumento de desempenho por décadas (PATTERSON; HENNESSY, 2014). Mesmo com o ritmo desacelerando devido a limites físicos e custos elevados, seu legado permanece como um motor de progresso e referência para o desenvolvimento tecnológico.

Por cerca de 17 anos, o desempenho dos computadores pessoais cresceu a uma taxa anual superior a 50%, impulsionado por melhorias arquitetônicas e organizacionais. No entanto, por volta de 2003, essa rápida evolução desacelerou drasticamente para aproximadamente 22% ao ano. Essa

mudança foi atribuída a dois fatores principais: a limitação da dissipação máxima de potência em chips resfriados a ar e a dificuldade de explorar mais paralelismo em nível de instrução de forma eficiente (PATTERSON; HENNESSY, 2014). A potência, então, superou a área bruta do silício como o principal desafio de projeto, dando origem ao que ficou conhecido como o "Muro da Frequência". Em 2004, a Intel cancelou seus projetos de uniprocessadores de alto desempenho, indicando uma nova direção: o aumento do desempenho passaria a ser alcançado pela integração de múltiplos processadores (núcleos) em um único chip, em vez de processadores mais rápidos individualmente (SUTTER, 2005).

O objetivo deste trabalho é investigar, por meio de uma análise comparativa, a evolução de componentes fundamentais do hardware de computadores pessoais entre 1998 e 2019. O estudo busca correlacionar dados quantitativos, como frequência de clock, número de núcleos e largura de banda da memória, com mudanças qualitativas nas microarquiteturas, destacando a transição do paralelismo em nível de instrução (ILP) para o paralelismo em nível de thread (TLP). Além disso, pretende-se contextualizar como fatores técnicos, como limitações de consumo de energia e dissipação térmica, influenciaram essa transformação.

Metodologia

Este estudo adota uma metodologia híbrida, articulando abordagens qualitativas e quantitativas para análise do hardware. As etapas desenvolvidas foram:

1. Análise física dos equipamentos – Três computadores pessoais representativos dos anos de 1998, 2005 e 2019 foram selecionados como objetos de estudo. Dois deles foram abertos e examinados diretamente no Laboratório MakerLab da FEAU/UNIVAP, permitindo a identificação e caracterização de seus componentes. O terceiro foi analisado a partir de documentação técnica.
2. Pesquisa documental – Foram consultadas fontes primárias (datasheets, manuais técnicos de fabricantes como Intel e AMD) e secundárias (artigos acadêmicos, livros e publicações especializadas) para obtenção de dados confiáveis sobre microarquitetura, litografia, número de transistores, conjunto de instruções e TDP (INTEL CORPORATION, 1999; AMD, 2005; INTEL CORPORATION, 2019).
3. Organização e comparação de dados – As informações coletadas foram sistematizadas em tabelas comparativas, abrangendo aspectos como microarquitetura, arquitetura de sistema (FSB vs. IMC), número de núcleos, frequência de clock e largura de banda de memória.
4. Interpretação teórica – Os dados quantitativos foram relacionados a conceitos da arquitetura de computadores, com especial atenção ao fenômeno conhecido como "Muro da Frequência", que motivou a transição da escalada de clock para a adoção de soluções multi-core (PATTERSON; HENNESSY, 2014).

Essa metodologia possibilitou a correlação entre métricas objetivas de desempenho e transformações conceituais no design de processadores, evidenciando tendências que moldaram a computação contemporânea.

Resultados

Para realizar uma comparação sistemática e quantitativa entre as três gerações de hardware, foram definidos parâmetros técnicos relevantes para demonstrar os avanços na performance, eficiência e filosofia de projeto que caracterizam a evolução da arquitetura de computadores. A análise considerou aspectos como microarquitetura, conjunto de instruções, número de núcleos, hierarquia de cache, processo de fabricação, arquitetura de sistema e consumo de energia (TANENBAUM; AUSTIN, 2013; PATTERSON; HENNESSY, 2014).

A microarquitetura refere-se à organização interna e ao projeto específico de um processador para implementar o conjunto de instruções. Observou-se a transição de microarquitetura single-core, com pipelines profundos e otimizadas para o paralelismo em nível de instrução, para microarquitetura multi-core, que priorizam o paralelismo em nível de thread, superando barreiras de frequência e consumo de energia (PATTERSON; HENNESSY, 2014). O conjunto de instruções, interface entre hardware e software, também apresentou avanços. Embora todas as máquinas analisadas pertençam à linhagem x86, destacam-se a transição de 32 para 64 bits, além da introdução de extensões SIMD, como MMX, SSE e AVX, que ampliaram a exploração do paralelismo em nível de dados em aplicações científicas e multimídia (INTEL CORPORATION, 1999; AMD, 2005; INTEL CORPORATION, 2019).

A Ciência do NANO e seu impacto transformador no MACRO

Figura 1 - Placa-Mãe do Intel Core Pentium III



Fonte: Autores.

Figura 2 - Placa-Mãe do AMD Athlon 64 X2



Fonte: Autores.

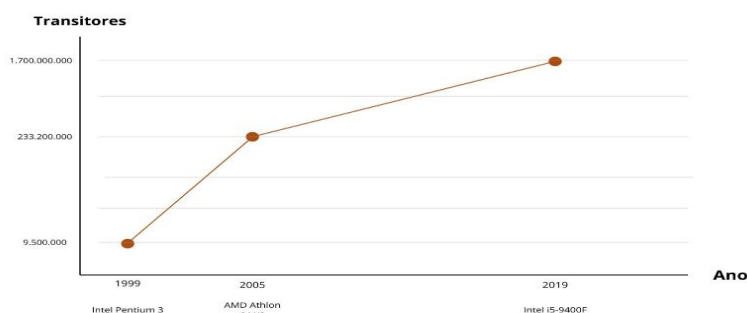
Figura 3 - Placa-Mãe Intel Core i5 9400F



Fonte: Autores.

O número de núcleos, indicador direto da mudança de paradigma, evoluiu de um em 1998 para dois em 2005 e seis em 2019, demonstrando a crescente necessidade de concorrência para ganhos de desempenho. A hierarquia de cache também evoluiu, ampliando tamanhos, níveis e associatividade, fatores fundamentais para reduzir a latência de acesso à memória principal e melhorar o desempenho global (PATTERSON; HENNESSY, 2014). O processo de fabricação, medido em nanômetros, apresentou avanços significativos, permitindo maior densidade de transistores, integração de múltiplos núcleos e caches maiores, além de ganhos de eficiência energética. A evolução da arquitetura de sistema integrou o controlador de memória ao processador, substituindo o barramento frontal. Isso reduziu a latência e otimizou sistemas multi-core (TANENBAUM; AUSTIN, 2013). O consumo de energia, avaliado pelo TDP, tornou-se um critério central, pois evidenciou o “muro da frequência” e impulsionou a adoção de projetos multi-core mais eficientes, onde o desempenho por watt se tornou tão importante quanto o desempenho absoluto (SUTTER, 2005; PATTERSON; HENNESSY, 2014).

Figura 4 - Evolução da quantidade de Transistores



Fonte: Elaborado pelos autores a partir de Intel (1999, 2019), AMD (2005)

A Ciência do NANO e seu impacto transformador no MACRO

O primeiro processador analisado foi o Intel Pentium III, de 1998, que representa o ápice da filosofia single-core, com foco em maximizar o desempenho de um único fluxo de execução. Sua microarquitetura P6 era sofisticada para a época, incorporando técnicas como execução fora de ordem, renomeação de registradores e pipeline superescalar (TANENBAUM; AUSTIN, 2013). As instruções x86 eram decodificadas em micro-operações mais simples, semelhantes às de arquiteturas RISC, permitindo execução mais eficiente. A inovação mais relevante foi a introdução do conjunto SSE, que trouxe aceleração significativa para gráficos e multimídia ao permitir que uma única instrução operasse sobre múltiplos dados simultaneamente (INTEL CORPORATION, 1999). Entretanto, o sistema era limitado pelo barramento frontal, que atuava como gargalo de comunicação entre CPU e memória, operando em frequência muito inferior à do processador e impedindo que o núcleo atingisse seu potencial máximo em tarefas dependentes de acesso à memória (PATTERSON; HENNESSY, 2014).

Figura 5 – Intel Celeron Pentium III



Fonte: Autores.

Figura 6 – Intel Celeron Pentium III (verso)



Fonte: Autores.

Em 2005, o AMD Athlon 64 X2 marcou uma virada fundamental. A microarquitetura K8, evolução da K7, trouxe inovações disruptivas ao priorizar eficiência no fluxo de dados e introduzir novas formas de paralelismo. Sua principal mudança foi a adoção do dual-core, com dois núcleos nativos em um único chip, permitindo execução paralela de threads e viabilizando multitarefas de forma eficiente, respondendo ao limite do aumento de frequência de clock (SUTTER, 2005). Outra inovação decisiva foi a integração do controlador de memória no próprio processador, eliminando a dependência do barramento frontal e reduzindo a latência de acesso, o que potencializou o uso dos dois núcleos (AMD, 2005; PATTERSON; HENNESSY, 2014). Além disso, este modelo popularizou a arquitetura x86-64, que superou o limite de 4 GB de memória dos sistemas de 32 bits e abriu caminho para softwares mais complexos e demandantes em termos de processamento e memória (AMD, 2005).

Figura 7 – Processador AMD Athlon 64 X2



Fonte: Autores.

Figura 8 – Processador Intel Core i5 – 9400F



Fonte: Autores.

Por fim, em 2019, o Intel Core i5-9400F exemplificou a maturidade da era multi-core, resultado de duas décadas de evolução desde o Pentium III. Baseado na microarquitetura Coffee Lake, fabricada em 14 nm otimizado, o processador consolidou avanços em eficiência, integração e desempenho paralelo (INTEL CORPORATION, 2019). Seu design hexa-core estabeleceu seis núcleos como padrão para processadores de consumo intermediário, atendendo às demandas de softwares modernos preparados para múltiplos threads (INTEL CORPORATION. Intel® Core™ i5-9400F...). A hierarquia de cache atingiu maior sofisticação, com três níveis e um cache L3 compartilhado de 9 MB, reduzindo significativamente a latência e aumentando o desempenho em aplicações multi-threaded. O conjunto de instruções também evoluiu, incorporando as extensões AVX2, que operam com registradores de

A Ciência do NANO e seu impacto transformador no MACRO

256 bits, dobrando a capacidade de processamento de dados em relação ao SSE e possibilitando aceleração em tarefas intensivas como renderização 3D, codificação de vídeo e simulações científicas (INTEL CORPORATION, 2019). O nível de integração também foi ampliado, com funções antes atribuídas ao chipset agora integradas ao processador, incluindo um controlador de memória avançado para DDR4 em dual-channel e um controlador PCI Express 3.0 dedicado, que garante conexões diretas e rápidas com GPUs e SSDs NVMe (INTEL CORPORATION. 8th and 9th generation...). Essas características demonstram o estágio de refinamento alcançado, em que a indústria prioriza não mais revoluções disruptivas, mas a consolidação e otimização de tecnologias que permitem maior escalabilidade e eficiência no uso de múltiplos núcleos.

Tabela 1 – Especificações de Hardware de Três Gerações de PCs

Característica	Intel Pentium 3 (450 MHz)	AMD Athlon 64 X2 (4200+)	Intel Core i5-9400f
Ano de Lançamento	1999	2005	2019
Microarquitetura	P6 (Katmai)	K8	Coffee Lake-S
Litografia	250 nm	90 nm	14 nm
Nº de Transistores	~9.5 Milhões	~221 Milhões	~1.5 Bilhões (est.)
Nº de Núcleos/Threads	1 / 1	2 / 2	6 / 6
Arquitetura (ISA)	IA-32 (32-bit)	x86-64	x86-64
Extensões Notáveis	MMX, SSE	3DNow!, SSE3	SSE4.2, AVX2
Cache L1/L2/L3	32KB / 512KB / -	128KB / 2x512KB / -	6x64KB / 6x256KB / 9MB
Contr. de Memória	Externo (Chipset)	Integrado (On-die)	Integrado (On-die)
Tipo de Memória	SDRAM	DDR2	DDR4
TDP	~20-30W	~89W	65W

Fonte: Adaptado de Intel (1999, 2019), AMD (2005).

Discussão

A análise quantitativa dos três sistemas de hardware revela tendências claras e uma profunda mudança na filosofia de projeto de microprocessadores. A interpretação dos dados da Tabela 1 e do processo evolutivo evidencia que o avanço tecnológico não foi linear, mas sim marcado por rupturas arquitetônicas em resposta a barreiras físicas e energéticas (PATTERSON; HENNESSY, 2014).

A tendência mais significativa observada é a transição do Paralelismo em Nível de Instrução (ILP) para o Paralelismo em Nível de Thread (TLP) como principal motor de desempenho. O Pentium 3 de 1998 representa o esforço máximo para extrair performance de um único núcleo, uma estratégia que se tornou insustentável com o advento do "muro da frequência" (PATTERSON; HENNESSY, 2014). O Athlon 64 X2 de 2005 e, de forma ainda mais contundente, o Core i5 de 2019, demonstram que a indústria abandonou a corrida por gigahertz em favor da multiplicação de núcleos. O aumento de 6 vezes no número de núcleos entre 1998 e 2019, em contraste com um aumento de "apenas" 6.4 vezes na frequência de clock, formaliza essa mudança de paradigma.

Outro ponto crucial é a coevolução do subsistema de memória como um habilitador crítico para o TLP. O salto de 32 vezes na largura de banda teórica da memória não é um avanço isolado, mas uma

A Ciência do NANO e seu impacto transformador no MACRO

resposta direta à necessidade de alimentar múltiplos núcleos. Um processador dual-core ou hexa-core seria severamente limitado pela largura de banda de 0.8 GB/s da era SDRAM. Inovações como o Controlador de Memória Integrado (IMC), introduzido pela AMD, foram disruptivas precisamente por otimizar a comunicação CPU-RAM, reduzindo a latência e permitindo que o potencial do TLP fosse efetivamente realizado (AMD, 2005; PATTERSON; HENNESSY, 2014).

A análise do consumo de energia (TDP) e da litografia também destaca a crescente busca pela eficiência energética. A métrica de "desempenho por Watt" tornou-se um critério de projeto tão importante quanto o desempenho bruto (PATTERSON; HENNESSY, 2014). O Core i5-9400F, fabricado em um processo de 14nm, consegue entregar um poder computacional ordens de magnitude superior ao do Athlon 64 X2, mantendo um TDP comparável. Isso demonstra que o objetivo não é apenas adicionar mais núcleos, mas fazê-lo de forma energeticamente sustentável, um requisito imposto pelo "muro da frequência".

A integração de componentes, como o controlador de memória no processador, é crucial para a performance. Essa tendência, que inclui controladoras gráficas, reduz latências e aumenta a eficiência. Antes, o hardware sozinho garantia o ganho de desempenho; hoje, a performance depende da paralelização do software, um desafio central na engenharia da computação contemporânea (TANENBAUM; AUSTIN, 2013; SUTTER, 2005).

Conclusão

O presente estudo permitiu identificar e analisar os principais marcos evolutivos na arquitetura de processadores, partindo da otimização single-core, passando pela transição para o paralelismo multi-core e 64-bit, até a consolidação de uma era voltada à eficiência e integração. Essa trajetória revela como cada etapa contribuiu de forma decisiva para superar barreiras de desempenho e responder às demandas crescentes de softwares mais complexos.

As transformações arquitetônicas discutidas neste trabalho evidenciam o impacto direto da evolução do hardware sobre o desenvolvimento do ecossistema digital contemporâneo. A ampliação da capacidade de processamento e a eficiência no uso de recursos possibilitaram avanços em áreas como inteligência artificial, simulações científicas, sistemas embarcados e aplicações de larga escala.

Este trabalho tem limitações, pois se baseia em dados teóricos e comparativos, sem benchmarks experimentais. Futuros estudos poderiam incluir experimentações práticas e medições para validar os ganhos de desempenho das mudanças arquitetônicas.

Referências

PATTERSON, D. A.; HENNESSY, J. L. **Arquitetura de Computadores: uma abordagem quantitativa**. 5. ed. Rio de Janeiro: Elsevier, 2014.

TANENBAUM, A. S.; AUSTIN, T. **Organização estruturada de computadores**. 6. ed. São Paulo: Pearson Prentice Hall, 2013.

AMD. **AMD64 architecture programmer's manual: volume 1, application programming**. Sunnyvale: AMD, 2005.

INTEL CORPORATION. **Intel architecture software developer's manual: volume 1, basic architecture**. Santa Clara: Intel, 1999.

INTEL CORPORATION. **Intel 64 and IA-32 architectures software developer's manual (SDM): combined volumes**. Santa Clara: Intel, 2019.

SUTTER, H. **The free lunch is over: a fundamental turn toward concurrency in software**. Dr. Dobbs's Journal, v. 30, n. 3, 2005.

INTEL CORPORATION. **Intel® Core™ i5-9400F processor product specifications**. Disponível em: <https://ark.intel.com/>. Acesso em: 21 ago. 2025.

INTEL CORPORATION. **8th and 9th generation Intel® Core™ processor families datasheet, volume 1**. 2019. Disponível em: <https://www.intel.com/>. Acesso em: 21 ago. 2025.